

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-108099

(43)Date of publication of application : 11.04.2003

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 2001-375008.

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.09.2001

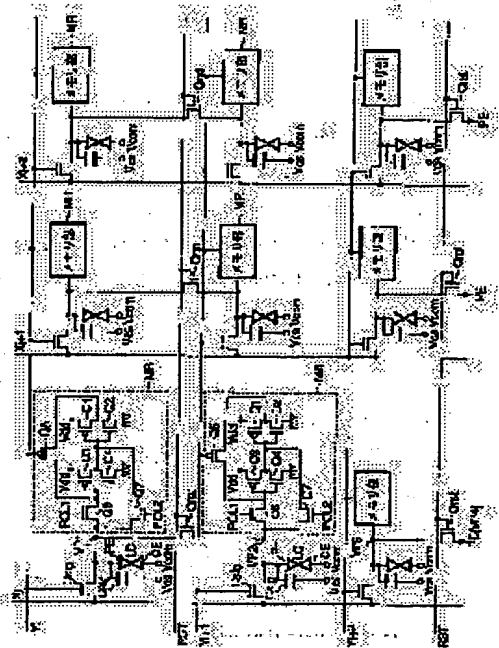
(72)Inventor : FUJIWARA HISAO

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power loss to be caused by transition of a display mode.

SOLUTION: A liquid crystal display device is provided with a plurality of liquid crystal display pixels PX arranged like a matrix, a plurality of scanning lines Y arranged along rows of the liquid crystal display pixels PX, a plurality of signal lines X arranged along columns of the liquid crystal display pixels, a plurality of pixel switches Qsig which are arranged in vicinities of intersections between the scanning lines Y and the signal lines X and take in display signals on corresponding signal lines X in response to scanning signals from corresponding scanning lines Y, and a plurality of memory parts MR for holding display signals for still picture which are applied from the pixel switches Qsig to the liquid crystal display pixels PX. A reset circuit Qrst is provided to equalize pixel potentials of liquid crystal display pixels PX, which have been driven with opposite polarities before taking-in of display signals for still picture, by distributing stored electric charge between these liquid crystal display pixels PX.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more display pixels arranged in the shape of an abbreviation matrix, and two or more scanning lines arranged along with the line of two or more of said display pixels, Two or more pixel switches which are arranged, respectively near the crossover location of two or more signal lines arranged in accordance with the train of two or more display pixels, and said two or more scanning lines and said two or more signal lines, answer a scan signal from the response scanning line respectively, and incorporate the status signal on a response signal line, Two or more memory sections holding the status signal for still pictures impressed to said two or more display pixels from said two or more pixel switches, respectively, The display characterized by having the reset circuit which equalizes the pixel potential of these display pixel by distributing stored charge before incorporation of the status signal for still pictures between the display pixels driven with reversed polarity.

[Claim 2] Said reset circuit is a display according to claim 1 characterized by including two or more reset switches connected between the display pixels of the couple which adjoins in the direction of a train respectively.

[Claim 3] Said reset circuit is a display according to claim 1 characterized by including two or more reset switches connected between the display pixels of the couple which adjoins in a line writing direction respectively.

[Claim 4] Said two or more reset switches are displays according to claim 2 or 3 characterized by being controlled through common wiring.

[Claim 5] Each reset switch is a display according to claim 2 or 3 characterized by a twist being controlled through the contiguity scanning line driven previously by the two scanning lines assigned to the display pixel of said couple, respectively.

[Claim 6] Said memory section is a display according to claim 1 characterized by including the static memory section.

[Claim 7] Said memory section is a display according to claim 1 characterized by including the polar control circuit which connects the static memory section containing the 1st and 2nd inverter circuits, the output of said 1st inverter circuit, and the output of said 2nd inverter circuit to a response display pixel by turns a predetermined period.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the display with which especially a display pixel is equipped with the memory section about the display driven corresponding to the status signal with which a display pixel is impressed from a pixel switch.

[0002]

[Description of the Prior Art] For example, the liquid crystal display is widely used from a thin shape, small, and the description of being lightweight, as a picture monitor of a portable remote terminal device like a cellular phone or PDA (Portable Digital Assistance). The rate of consumption of a cell is large to available time, and such a portable remote terminal device influences in order to operate considering a battery charger as a power source generally. For such a reason, low-power-ization of a liquid crystal display is studied briskly.

[0003] Recently, it is used in order that the memory technique represented by SRAM (Static Random Access Memory) may low-power-ize a liquid crystal display. With this SRAM technique, the static memory section is prepared to each of two or more display pixels which constitute the display screen.

[0004] If the status signal by which sequential supply of the pixel switch of each display pixel is carried out from the external actuation circuit around the display screen with a still picture display mode is incorporated selectively, the static memory section will hold this status signal in digital one, and will drive a display pixel corresponding to this status signal. Therefore, even if it stops output actuation of an external actuation circuit, it is possible to display an image by the quiescent state.

[0005]

[Problem(s) to be Solved by the Invention] By the way, in order that a liquid crystal display may prevent maldistribution-ization of a liquid crystal ingredient, the frame reversal actuation which reverses the polarity of the electrical potential difference impressed to two or more display pixels for example, per vertical-scanning (frame) period is known.

[0006] Moreover, in order to control generating of a flicker, in addition to frame reversal actuation, the V line reversal actuation which reverses the polarity of the electrical potential difference impressed to a display pixel for every H line reversal actuation which reverses the polarity of the electrical potential difference impressed to a display pixel for every multi-line, and two or more trains is known.

[0007] And if shown in the above-mentioned liquid crystal display with built-in memory, in order to attain H line reversal actuation and low-power-ization much more at the time of a still picture display mode, frame reversal actuation is for example usually adopted at the time of a display mode.

[0008] For this reason, in case it usually shifts to a still picture display mode from a display mode, it is necessary to arrange with one polarity the pixel inverted for every line or train, and to rewrite it.

[0009] Then, offering the display which can reduce the power loss further produced on the occasion of shift of a display mode by making memory build in each pixel while achievement of low-power-izing is possible has this invention:

[0010]

[Means for Solving the Problem] Two or more scanning lines which are arranged along with the line of two or more display pixels arranged in the shape of an abbreviation matrix, and two or more display pixels according to this invention, Two or more pixel switches which are arranged, respectively near the crossover location of two or more signal lines arranged in accordance with the train of two or more display pixels, and two or more scanning lines and two or more signal lines, answer a scan signal from the response scanning line respectively, and incorporate the status signal on a response signal line, Two or more memory sections holding the status signal for still pictures impressed to two or more display pixels from two or more pixel switches, respectively, A display equipped with the reset circuit which equalizes the pixel potential of these display pixel is offered by distributing stored charge before incorporation of the status signal for still pictures between the display pixels driven with reversed polarity.

[0011] In this display, when a reset circuit distributes stored charge before incorporation of the status signal for still pictures between the display pixels driven with reversed polarity, the pixel potential of these display pixel is equalized. That is, about the display pixel set as a high level corresponding to the status signal for still pictures, since it can begin to change pixel potential from the mean value beforehand set up by this equalizing, power loss can be reduced rather than the conventional configuration with the need of always passing this mean value and making pixel potential changing to a high level.

[0012]

[Embodiment of the Invention] Hereafter, the liquid crystal display concerning 1 operation gestalt of this invention is explained with reference to a drawing. This liquid crystal display is used as a picture monitor of a personal digital assistant device with the still picture display mode which displays a still picture for [other than the normal mode which can display an animation and a still picture] for example, low-power-izing.

[0013] Drawing 1 shows the rough structure of this liquid crystal display, and drawing 2 shows the circuitry of a

viewing area shown in drawing 1 .

[0014] This liquid crystal display is equipped with the liquid crystal controller 2 which controls the liquid crystal display panel 1 and this liquid crystal display panel 1. The liquid crystal display panel 1 has the structure where for example, the liquid crystal layer LQ is held between the array substrate AR and the opposite substrate CT, and the liquid crystal controller 2 is arranged on the actuation circuit board which became independent of the liquid crystal display panel 1.

[0015] Two or more pixel electrodes PE with which the reflector which consists of aluminum for the array substrate AR to constitute the display of a reflective mold on a glass substrate is arranged in the shape of a matrix Two or more scanning lines Y formed along with the line of two or more pixel electrodes PE (Y1-Ym) Two or more signal lines X formed in accordance with the train of two or more pixel electrodes PE (X1-Xn) The crossover location of signal lines X1-Xn and the scanning lines Y1-Ym is adjoined, respectively. Two or more N channel polish recon thin film transistor (TFT) Qsig(s) which constitute the switching device which is arranged, answers a scan signal from the response scanning line Y respectively, samples the status signal Vpix from the response signal line X, and is supplied to a response pixel electrode, The scanning-line actuation circuit 3 which drives the scanning lines Y1-Ym, and the signal-line actuation circuit 4 which drives signal lines X1-Xn in a list are included.

[0016] The scanning-line actuation circuit 3 and the signal-line actuation circuit 4 are constituted in one by two or more polish recon thin film transistors formed on the array substrate AR like thin film transistor Qsig.

[0017] The opposite substrate CT contains the single counterelectrode CE which counters two or more pixel electrodes PE, is arranged, and is set as the common potential Vcom, and the light filter which is not illustrated.

[0018] The liquid crystal controller 2 generates the pixel status signal Vpix, the vertical-scanning control signal YCT, and the horizontal scanning control signal XCT for the 6-bit digital video signal and synchronizing signal which are supplied from the outside as usual in a receipt and the normal mode. The vertical-scanning control signal YCT is supplied to the scanning-line actuation circuit 3 including vertical start pulse, vertical clock signal, and output enable signal ENAB etc. The horizontal scanning control signal XCT is supplied to the signal-line actuation circuit 4 with a status signal Vpix including a level start pulse, level clock signal, and polarity-reversals signal etc.

[0019] The scanning-line actuation circuit 3 is controlled by the vertical-scanning control signal YCT to carry out sequential supply of the scan signal which makes it flow through thin film transistor Qsig for every 1 vertical-scanning (frame) period at the scanning lines Y1-Ym including a shift register circuit. By shifting the vertical start pulse supplied for every 1 vertical-scanning period synchronizing with a vertical clock signal, a shift register circuit chooses one of two or more scanning lines Y1-Ym, and outputs a scan signal to the selection scanning line with reference to an output enable signal. Output enable signal ENAB is maintained by the high level in order to permit the output of a scan signal in the effective scan period of the vertical-scanning (frame) periods, and in order to forbid the output of a scan signal in the vertical blanking period excluding the effective scan period from this vertical-scanning period, it is maintained by the low.

[0020] The signal-line actuation circuit 4 has a shift register circuit and a digital ANARODA conversion circuit (DAC), and is controlled by the horizontal scanning control signal XCT to supply the status signal Vpix which carried out serial/parallel conversion of the digital video signal into which each scanning line Y is inputted in 1 horizontal-scanning period (1H) driven with a scan signal, and carried out D / A conversion further to signal lines X1-Xn by analog format, respectively. In addition, as shown in Counterelectrode CE at drawing 2 , the common potential Vcom is supplied. the common potential Vcom — the normal mode — setting — 1 horizontal-scanning period — (— level reversal is carried out on another side from either 0V or 5V at every H) — having — a still picture display mode — setting — an one-frame period — (— level reversal is carried out on another side from either 0V or 5V at every F). moreover, the normal mode — setting — this operation gestalt — like — 1 — horizontal-scanning period — (— instead of making every H) carry out level reversal of the common potential Vcom — 2 [for example,] — every H and an one-frame period — (— every F) may be made to carry out level reversal of the common potential Vcom

[0021] A polarity-reversals signal is supplied to the signal-line actuation circuit 4 synchronizing with level reversal of this common potential Vcom. And level reversal is answered and carried out, the signal-line actuation circuit 4 outputs the status signal Vpix which has the amplitude of 0V to 5V in the normal mode to a polarity-reversals signal so that it may become reversed polarity to the common potential Vcom, and in a still picture display mode, the actuation is suspended, after outputting the status signal which carried out the gradation limit to still pictures.

[0022] The liquid crystal display of this operation gestalt is a normally white which performs a black display by

impressing the status signal V_{pix} of 5V to the pixel electrode PE to the common potential V_{com} of 0V by which the liquid crystal layer LQ is set as Counterelectrode CE. it mentioned above — as — the normal mode — the potential relation between a status signal V_{pix} and the common potential V_{com} — 1 horizontal-scanning period — (— H common reversal actuation reversed by turns is adopted as every H), and the frame reversal actuation reversed by turns for every frame is adopted in the still picture display mode.

[0023] The display screen DS is respectively constituted by two or more display pixels PX containing the liquid crystal ingredient of the liquid crystal layer LQ pinched by the pixel electrode PE and Counterelectrode CE, and the list of a couple among these, and the static memory section MR is formed to each of these display pixel PX. As shown in drawing 2, it connects with thin film transistor Q_{sig} which outputs selectively the status signal V_{pix} on this signal line X as a pixel switch, and capacity coupling of the pixel electrode PE is carried out to the auxiliary capacity line set as potential equal to the common potential V_{com} of Counterelectrode CE further, for example. The pixel electrode PE and Counterelectrode CE constitute the liquid crystal capacity LC through a liquid crystal ingredient, and the pixel electrode PE and an auxiliary capacity line constitute the juxtaposition auxiliary capacity C_{sig} in the liquid crystal capacity LC without a liquid crystal ingredient.

[0024] Thin film transistor Q_{sig} impresses the status signal V_{pix} on a signal line X to the display pixel PX, when it drives with the scan signal from the scanning line Y. The auxiliary capacity C_{sig} has sufficiently big capacity value compared with the liquid crystal capacity LC, and charge and discharge are carried out with the status signal V_{pix} impressed to the display pixel PX. If the auxiliary capacity C_{sig} holds a status signal V_{pix} by this charge and discharge, this status signal V_{pix} will compensate fluctuation of the potential held at the liquid crystal capacity LC, when thin film transistor Q_{sig} is un-flowing, and, thereby, the potential difference between the pixel electrode PE and Counterelectrode CE will be maintained.

[0025] Furthermore, the static memory section MR has the P channel thin film transistors Q1, Q3, and Q5 and the N channel thin film transistors Q2, Q4, Q6, and Q7. Thin film transistors Q1, Q2, Q3, and Q4 constitute a flip-flop circuit, a thin film transistor Q5 constitutes a separation circuit, and thin film transistors Q6 and Q7 constitute a polar control circuit. In a flip-flop circuit, thin film transistors Q1 and Q2 constitute the 1st inverter circuit INV1 which operates with the supply voltage between a power supply terminal V_{dd} (=5V) and a power supply terminal G_{nd} (=0V), and thin film transistors Q3 and Q4 constitute a power supply terminal V_{dd} and the 2nd inverter INV2 which operates with the supply voltage between $G_{nd}(s)$. The outgoing end of an inverter circuit INV1 is connected to the input edge of an inverter circuit INV2 through the thin film transistor Q5 controlled through the scanning line Y, and the outgoing end of an inverter circuit INV2 is connected to the input edge of an inverter circuit INV1. N channel thin film transistor Q_{sig} does not flow through the P channel thin film transistor Q5 in the frame period which flows by the standup of the scan signal from the scanning line Y, but it flows in the next frame period of this frame. Thereby, a thin film transistor Q5 is maintained by non-switch-on until thin film transistor Q_{sig} incorporates a status signal at least.

[0026] The N channel thin film transistors Q6 and Q7 are controlled by the polar control signals POL1 and POL2 set as a high level by turns for every frame in a still picture display mode, respectively. A thin film transistor Q6 is connected with the pixel electrode PE between the outgoing ends of an inverter circuit INV1 through a thin film transistor Q5 in the input edge list of an inverter circuit INV2, and a thin film transistor Q7 is connected with the pixel electrode PE between the outgoing ends of an inverter circuit INV2 in the input edge list of an inverter circuit INV1.

[0027] This liquid crystal display has two or more N channel thin film transistor $Q_{rst}(s)$ arranged as a reset switch between two display pixels PX which adjoin in the direction of a train respectively. It connects between two pixel electrodes PE of the response display pixel PX, and each thin film transistor Q_{rst} is controlled by the reset signal supplied through the common wiring RST from the liquid crystal controller 2. By distributing stored charge before incorporation of the status signal for still pictures between the liquid crystal display pixels PX driven with reversed polarity, these thin film transistor Q_{rst} constitutes the reset circuit equalized by making the pixel potential of these liquid crystal display pixel PX short-circuit.

[0028] First, actuation of the liquid crystal display at the time of omitting a reset switch with reference to drawing 3 is shown.

[0029] In the normal mode, while the liquid crystal controller 2 maintains the polar control signals POL1 and POL2 to a low, the scanning-line actuation circuit 3 supplies a scan signal to two or more scanning lines Y (from Y_1 to Y_m) one by one for every one-frame period. As for each scanning line Y, only 1 horizontal-scanning period (1H) is maintained by the high level with a scan signal. The signal-line actuation circuit 4 supplies the status signal V_{pix} for one line by which level reversal is carried out for every horizontal scanning period to two or more signal lines

X (X1–Xn), respectively. It flows through thin film transistor Qsig of each display pixel PX with the scan signal from the response scanning line Y, it incorporates the status signal Vpix supplied to the response signal line X, and impresses it to the pixel electrode PE. If thin film transistor Qsig is un-flowing in 1 horizontal-scanning period and makes the pixel electrode PE electric floating, it will be held with the liquid crystal capacity LC and the auxiliary capacity Csig until thin film transistor Qsig flows through this status signal Vpix again. In the meantime, the display pixel PX is set as the light transmittance corresponding to the potential difference between Counterelectrode CE and the pixel electrode PE.

[0030] When shifting to a still picture display mode, in the still picture write-in period whose polar control signal POL 1 is the first one-frame period, POL2 is maintained by the low and the status signal Vpix for still pictures is supplied to a high level for every 1 horizontal-scanning period in this frame period at a signal line X. In the still picture maintenance period following this, in order for the polar control signals POL1 and POL2 to reverse the output polarity of a flip-flop circuit, it is set as a high level by turns for every one-frame period.

[0031] If the polar control signal POL 1 is maintained by the high level in the 1st frame period which is equivalent to the still picture write-in period of a still picture display mode as mentioned above, while the status signal Vpix corresponding to the still picture information on binary will be impressed to the pixel electrode PE through thin film transistor Qsig, a flip-flop circuit is supplied through a thin film transistor Q6. If the polar control signal POL 1 is set to a low and POL2 is set to a high level in a still picture maintenance period, level reversal will be carried out by the inverter circuit INV2, and this status signal Vpix will be impressed to the pixel electrode PE through a thin film transistor Q7 as a status signal VRAM 2.

[0032] Here, actuation of the still picture write-in period of a still picture display mode is explained further. In the frame period of the last of the normal mode, it is set as 5V, 0V, 5V, and 0V, respectively so that the pixel potentials VP1, VP2, VP3, and VP4 of the display pixel PX to the 4th line may serve as the same brightness from the 1st line by line reversal actuation. The status signal Vpix further for still pictures assumes that only the horizontal scanning period which the 4th scanning line Y4 drives is set as 5V, and is set as 0V except [its]. In this case, the pixel potential VP 1 changes from 5V to 0V in a still picture write-in period, and the pixel potential VP 2 does not change in a still picture write-in period with 0V. On the other hand, the pixel potential VP 3 changes from 5V to 0V, and the pixel potential VP 4 changes from 0V to 5V.

[0033] Drawing 4 shows actuation of the liquid crystal display at the time of preparing a reset switch. A reset signal is set as a high level, before the vertical blanking period Y1 of the beginning of this still picture write-in period, i.e., the scanning line, starts first, and it makes it flow through all thin film transistor Qrst(s) temporarily. It is set as 2.5V the pixel potential VP 1 of the 1st line and whose pixel potential VP 2 of the 2nd line are the mean values of 5V and 0V by *****, and is set as 2.5V the pixel potential VP 3 of the 3rd line and whose pixel potential VP 4 of the 4th line are the mean values of 5V and 0V.

[0034] Then, if Y4 starts from the scanning line Y1 one by one with a scan signal in a still picture write-in period, the pixel potential VP 1 will change from 2.5V to 0V, and the pixel potential VP 2 will change from 2.5V to 0V. The pixel potential VP 2 does not rise by the inflow of the charge from the pixel electrode PE of the 1st line, and power is not vainly consumed by this. On the other hand, the pixel potential VP 3 changes from 2.5V to 0V, and the pixel potential VP 5 changes from 2.5V to 5V. Here, since the pixel potential VP 4 is beforehand set as 2.5V by the inflow of the charge from the pixel electrode PE of the 3rd line, its power consumption becomes less than the case where it changes from 0V to 5V. That is, the power consumed when holding a still picture, using effectively the charge held at the contiguity display pixel PX is reduced.

[0035] In addition, in order that the polar control signal POL 1 (POL2) may prevent charge and discharge [**** / un-] in this case, it is desirable to control to wait for falling of a reset signal and to be set as a high level.

[0036] In the liquid crystal display of this operation gestalt, when each thin film transistor Qrst distributes stored charge before incorporation of the status signal for still pictures between the liquid crystal display pixels PX driven with reversed polarity, the pixel potential of these liquid crystal display pixel PX is equalized between the contiguity pixels used as reversed polarity. That is, about the liquid crystal display pixel PX set as 5V level corresponding to the status signal for still pictures, since it can begin to change pixel potential from the mean value of 2.5V beforehand set up by equalization of this potential, power loss can be reduced rather than the conventional configuration with the need of always passing this mean value and making pixel potential changing to 5V.

[0037] Drawing 5 shows the 1st modification of the circuitry shown in drawing 2. In this modification, it is arranged as a reset switch between two display pixels PX which each of two or more N channel thin film transistor Qrst(s) adjoins in the direction of a train. Such arrangement is used when the display pixel which

adjoins a line writing direction by the normal mode drives with reversed polarity. It connects between the pixel electrodes PE of two response display pixels PX which adjoin in the direction of a train, and each thin film transistor Qrst is controlled by the reset signal supplied through the common wiring RST from the liquid crystal controller 2. By distributing stored charge before incorporation of the status signal for still pictures like an above-mentioned operation gestalt between the liquid crystal display pixels PX driven with reversed polarity, these thin film transistor Qrst constitutes the reset circuit equalized by making the pixel potential of these liquid crystal display pixel PX short-circuit.

[0038] Drawing 6 shows the 2nd modification of the circuitry shown in drawing 2. Although arranged as a reset switch in this modification between two display pixels PX which each of two or more N channel thin film transistor Qrst(s) adjoins in the direction of a train like drawing 2, the gate of this reset switch is connected to the scanning line Yi assigned to these two display pixels PX and scanning-line Yi-1 which carry out 1 horizontal-scanning period precedence at least, and receive a scan signal rather than Yi+1. Since a scan signal can be used as a reset signal, it becomes unnecessary in this case, for the liquid crystal controller 2 to generate a reset signal. That is, since it connects with the display pixel and the electric target with which a self-display pixel adjoins too hastily before the writing of a self-display pixel and the potential is equalized, much more low-power-ization is attained like the above-mentioned operation gestalt.

[0039] Drawing 7 shows the 2nd modification of the circuitry shown in drawing 2. Although arranged as a reset switch in this modification between two display pixels PX which each of two or more N channel thin film transistor Qrst(s) adjoins in a line writing direction like drawing 5, the gate of this reset switch is connected to scanning-line Yi-1 which carries out 1 horizontal-scanning period precedence at least, and receives a scan signal rather than the common scanning line Yi assigned to these two display pixels PX. Since a scan signal can be used as a reset signal also in this case, it becomes unnecessary for the liquid crystal controller 2 to generate a reset signal like a before modification.

[0040] In addition, this invention is not limited to an above-mentioned operation gestalt, but is variously deformable in the range which does not deviate from the summary, and can be applied to an organic electroluminescence display etc. other than a liquid crystal display. Moreover, although the case where SRAM was used as memory was shown, you may constitute from a DRAM etc.

[0041]

[Effect of the Invention] According to this invention, the display which can reduce the power loss produced on the occasion of shift of a display mode can be offered as mentioned above.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the rough structure of the liquid crystal display concerning 1 operation gestalt of this invention.

[Drawing 2] It is drawing showing the circuitry of a viewing area shown in drawing 1.

[Drawing 3] It is the timing diagram which shows the wave of the liquid crystal display at the time of omitting the reset switch shown in drawing 2 of operation.

[Drawing 4] It is the timing diagram which shows the wave of the liquid crystal display at the time of preparing the reset switch shown in drawing 2 of operation.

[Drawing 5] It is drawing showing the 1st modification of the circuitry shown in drawing 2.

[Drawing 6] It is drawing showing the 2nd modification of the circuitry shown in drawing 2 .

[Drawing 7] It is drawing showing the 3rd modification of the circuitry shown in drawing 2 .

[Description of Notations]

X — Signal line

Y — Scanning line

PX — Liquid crystal display pixel

Qsig — Thin film transistor for a pixel switch

Csig — Auxiliary capacity

Qrst — Thin film transistor for reset switches

MR — Static memory section

LC — Liquid crystal capacity

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-108099

(P2003-108099A)

(43) 公開日 平成15年4月11日 (2003.4.11)

(51) Int.Cl.

識別記号

F I

テーマコード* (参考)

G 0 9 G 3/36

G 0 9 G 3/36

2 H 0 9 3

G 0 2 F 1/133

5 0 5

G 0 2 F 1/133

5 0 5

5 C 0 0 6

5 7 0

5 7 0

5 C 0 8 0

G 0 9 G 3/20

6 1 1

G 0 9 G 3/20

6 1 1 A

6 2 1

6 2 1 M

審査請求 未請求 請求項の数 7 書面 (全 9 頁) 最終頁に続く

(21) 出願番号

特願2001-375008(P2001-375008)

(22) 出願日

平成13年9月29日(2001.9.29)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 藤原 久男

埼玉県深谷市幡羅町一丁目9番地2 株式

会社東芝深谷工場内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

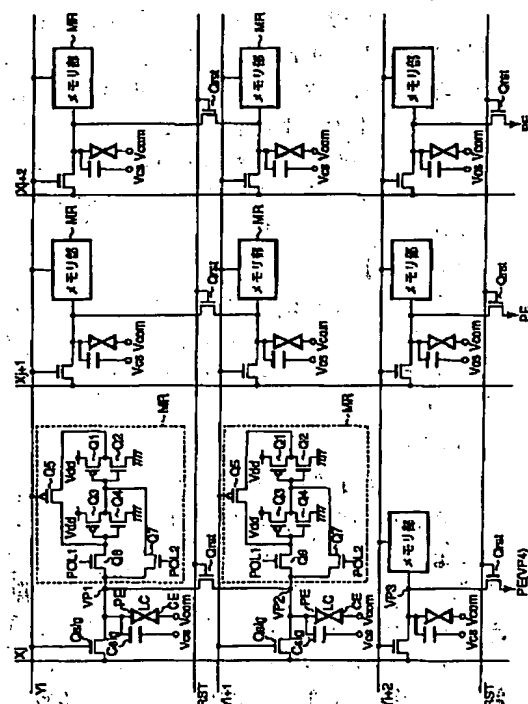
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】表示モードの移行に際して生じる電力損失を低減する。

【解決手段】液晶表示装置は略マトリクス状に配置される複数の液晶表示画素 P X と、複数の液晶表示画素 P X の行に沿って配置される複数の走査線 Y と、複数の液晶表示画素 P X の列に沿って配置される複数の信号線 X と、複数の走査線 Y および複数の信号線 X の交差位置付近にそれぞれ配置され各々対応走査線 Y からの走査信号に応答して対応信号線 X 上の表示信号を取り込む複数の画素スイッチ Q s i g と、複数の画素スイッチ Q s i g から複数の液晶表示画素 P X にそれぞれ印加される静止画用の表示信号を保持する複数のメモリ部 M R とを備える。さらに、リセット回路 Q r s t が静止画用表示信号の取り込み前に逆極性で駆動された液晶表示画素 P X 間で蓄積電荷を分配することによりこれら液晶表示画素 P X の画素電位をイコライズするために設けられる。



(2)

【特許請求の範囲】

【請求項1】 略マトリクス状に配置される複数の表示画素と、前記複数の表示画素の行に沿って配置される複数の走査線と、複数の表示画素の列に沿って配置される複数の信号線と、前記複数の走査線および前記複数の信号線の交差位置付近にそれぞれ配置され各々対応走査線からの走査信号に応答して対応信号線上の表示信号を取り込む複数の画素スイッチと、前記複数の画素スイッチから前記複数の表示画素にそれぞれ印加される静止画用の表示信号を保持する複数のメモリ部と、静止画用表示信号の取り込み前に逆極性で駆動された表示画素間で蓄積電荷を分配することによりこれら表示画素の画素電位をイコライズするリセット回路とを備えることを特徴とする表示装置。

【請求項2】 前記リセット回路は各々列方向において隣接する一対の表示画素間に接続される複数のリセットスイッチを含むことを特徴とする請求項1に記載の表示装置。

【請求項3】 前記リセット回路は各々行方向において隣接する一対の表示画素間に接続される複数のリセットスイッチを含むことを特徴とする請求項1に記載の表示装置。

【請求項4】 前記複数のリセットスイッチは共通配線を介して制御されることを特徴とする請求項2または3に記載の表示装置。

【請求項5】 各リセットスイッチは前記一対の表示画素にそれぞれ割り当てられた2本の走査線によりも先に駆動される隣接走査線を介して制御されることを特徴とする請求項2または3に記載の表示装置。

【請求項6】 前記メモリ部はスタティックメモリ部を含むことを特徴とする請求項1に記載の表示装置。

【請求項7】 前記メモリ部は、第1及び第2インバート回路を含むスタティックメモリ部と、前記第1インバート回路の出力および前記第2インバート回路の出力を所定周期で交互に対応表示画素に接続する極性制御回路を含むことを特徴とする請求項1に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示画素が画素スイッチから印加される表示信号に対応して駆動される表示装置に関し、特に表示画素がメモリ部を備える表示装置に関する。

【0002】

【従来の技術】例えば液晶表示装置は薄型、小型、軽量という特徴から携帯電話やPDA (Portable Digital Assistance) のような携帯用端末機器の画像モニタとして広く利用されている。こうした携帯用端末機器は一般に充電電池を電源として動作するため、電池の消耗率が利用可能時間に大きく影響する。このような理由により、液晶表示装置の低消費電力

2

化が盛んに研究されている。

【0003】最近では、SRAM (Static Random Access Memory) に代表されるメモリ技術が液晶表示装置を低消費電力化するために用いられている。このSRAM技術では、スタティックメモリ部が表示画面を構成する複数の表示画素の各々に対して設けられる。

【0004】各表示画素の画素スイッチが静止画表示モードで表示画面周辺の外部駆動回路から順次供給される表示信号を選択的に取り込むと、スタティックメモリ部がこの表示信号をデジタル的に保持しこの表示信号に対応して表示画素を駆動する。従って、外部駆動回路の出力動作を停止させても、画像を静止状態で表示することが可能である。

【0005】

【発明が解決しようとする課題】ところで、液晶表示装置は液晶材料の偏在化を防止するために複数の表示画素に印加される電圧の極性を例えば垂直走査 (フレーム) 期間単位で反転させるフレーム反転駆動が知られている。

【0006】また、フリッカの発生を抑制するために、フレーム反転駆動に加え、一又は複数行毎に表示画素に印加される電圧の極性を反転させるHライン反転駆動、一又は複数列毎に表示画素に印加される電圧の極性を反転させるVライン反転駆動が知られている。

【0007】そして、上記したメモリ内蔵の液晶表示装置にあっては、例えば通常表示モード時はHライン反転駆動、静止画表示モード時には一層の低消費電力化を達成するためフレーム反転駆動が採用されている。

【0008】このため、通常表示モードから静止画表示モードに移行する際には、行又は列毎に極性反転した画素を、一方の極性に揃えて書き換える必要がある。

【0009】そこで、この発明は、各画素にメモリを内蔵させることで低消費電力化の達成が可能であると共に、更に表示モードの移行に際して生じる電力損失を低減することができる表示装置を提供することにある。

【0010】

【課題を解決するための手段】本発明によれば、略マトリクス状に配置される複数の表示画素と、複数の表示画素の行に沿って配置される複数の走査線と、複数の表示画素の列に沿って配置される複数の信号線と、複数の走査線および複数の信号線の交差位置付近にそれぞれ配置され各々対応走査線からの走査信号に応答して対応信号線上の表示信号を取り込む複数の画素スイッチと、複数の画素スイッチから複数の表示画素にそれぞれ印加される静止画用の表示信号を保持する複数のメモリ部と、静止画用表示信号の取り込み前に逆極性で駆動された表示画素間で蓄積電荷を分配することによりこれら表示画素の画素電位をイコライズするリセット回路とを備える表示装置が提供される。

(3)

3

【0011】この表示装置では、リセット回路が静止画面表示信号の取り込み前に逆極性で駆動される表示画素間で蓄積電荷を分配することによりこれら表示画素の画素電位をイコライズする。すなわち、静止画面表示信号に対応して高レベルに設定される表示画素については、このイコライズによって予め設定された中間値から画素電位を遷移し始めることができるため、常にこの中間値を通過して高レベルに画素電位を遷移させる必要のある従来の構成よりも電力損失を低減することができる。

【0012】

【発明の実施の形態】以下、本発明の一実施形態に係る液晶表示装置について図面を参照して説明する。この液晶表示装置は動画および静止面を表示可能な通常モードの他に、例えば低消費電力化のために静止面を表示する静止面表示モードを持つ携帯端末機器の画像モニタとして用いられる。

【0013】図1はこの液晶表示装置の概略的な構造を示し、図2は図1に示す表示領域の回路構成を示す。

【0014】この液晶表示装置は、液晶表示パネル1およびこの液晶表示パネル1を制御する液晶コントローラ2を備える。液晶表示パネル1は、例えば液晶層LQがアレイ基板ARおよび対向基板CT間に保持される構造を有し、液晶コントローラ2は液晶表示パネル1から独立した駆動回路基板上に配置される。

【0015】アレイ基板ARは、ガラス基板上に反射型の表示装置を構成するためのアルミニウムからなる反射電極がマトリクス状に配置される複数の画素電極PE、複数の画素電極PEの行に沿って形成される複数の走査線Y (Y1~Ym)、複数の画素電極PEの列に沿って形成される複数の信号線X (X1~Xn)、信号線X1~Xnおよび走査線Y1~Ymの交差位置にそれぞれ隣接して配置され各々対応走査線Yからの走査信号にตอบสนองして対応信号線Xからの表示信号Vpixをサンプリングして対応画素電極に供給するスイッチ素子を構成する複数のNチャネルポリシリコン薄膜トランジスタ(TFT) Qsig、走査線Y1~Ymを駆動する走査線駆動回路3、並びに信号線X1~Xnを駆動する信号線駆動回路4を含む。

【0016】走査線駆動回路3および信号線駆動回路4は、薄膜トランジスタQsigと同様にアレイ基板AR上に形成される複数のポリシリコン薄膜トランジスタにより一体的に構成される。

【0017】対向基板CTは複数の画素電極PEに対向して配置され共通電位Vcomに設定される単一の対向電極CEおよび図示しないカラーフィルタを含む。

【0018】液晶コントローラ2は、例えば外部から供給される6ビットのデジタル映像信号および同期信号を受取り、通常モードで従来と同様に画素表示信号Vpix、垂直走査制御信号YCTおよび水平走査制御信号XCTを発生する。垂直走査制御信号YCTは例えば垂直

4

スタートパルス、垂直クロック信号、出力イネーブル信号ENAB等を含み、走査線駆動回路3に供給される。水平走査制御信号XCTは水平スタートパルス、水平クロック信号、極性反転信号等を含み、表示信号Vpixと共に信号線駆動回路4に供給される。

【0019】走査線駆動回路3はシフトレジスタ回路を含み、薄膜トランジスタQsigを導通させる走査信号を1垂直走査(フレーム)期間毎に走査線Y1~Ymに順次供給するよう垂直走査制御信号YCTによって制御される。シフトレジスタ回路は1垂直走査期間毎に供給される垂直スタートパルスを垂直クロック信号に同期してシフトさせることにより複数の走査線Y1~Ymのうちの1本を選択し、出力イネーブル信号を参照して選択走査線に走査信号を出力する。出力イネーブル信号ENABは垂直走査(フレーム)期間のうちの有効走査期間において走査信号の出力を許可するために高レベルに維持され、この垂直走査期間から有効走査期間を除いた垂直ブランキング期間で走査信号の出力を禁止するために低レベルに維持される。

【0020】信号線駆動回路4はシフトレジスタ回路及びデジタル・アナログ変換回路(DAC)を有し、各走査線Yが走査信号により駆動される1水平走査期間(1H)において入力されるデジタル映像信号を直並列変換し、更にデジタル・アナログ変換した表示信号Vpixをアナログ形式で信号線X1~Xnにそれぞれ供給するように水平走査制御信号XCTによって制御される。尚、対向電極CEには、図2に示すように共通電位Vcomが供給される。共通電位Vcomは通常モードにおいて1水平走査期間(H)毎に0Vおよび5Vの一方から他方にレベル反転され、静止面表示モードにおいて1フレーム期間(F)毎に0Vおよび5Vの一方から他方にレベル反転される。また、通常モードにおいて、本実施形態のように1水平走査期間(H)毎に共通電位Vcomをレベル反転させる代わりに、例えば2H毎、あるいは1フレーム期間(F)毎に共通電位Vcomをレベル反転させてもかまわない。

【0021】極性反転信号はこの共通電位Vcomのレベル反転に同期して信号線駆動回路4に供給される。そして、信号線駆動回路4は、通常モードにおいては0Vから5Vの振幅を持つ表示信号Vpixを共通電位Vcomに対して逆極性となるように極性反転信号にตอบสนองしてレベル反転し出力し、静止面表示モードでは静止画面用に階調制限した表示信号を出力した後にその動作を停止する。

【0022】本実施形態の液晶表示装置は、液晶層LQが対向電極CEに設定される0Vの共通電位Vcomに対して5Vの表示信号Vpixを画素電極PEに印加することにより黒表示を行うノーマリホワイトであり、上述したように通常モードでは表示信号Vpixおよび共通電位Vcomの電位関係が1水平走査期間(H)

(4)

5

毎に交互に反転されるHコモン反転駆動が採用され、静止画表示モードでは1フレーム毎に交互に反転されるフレーム反転駆動が採用されている。

【0023】表示画面DSは各々一對の画素電極PEおよび対向電極CE、並びにこれらの間に挟持された液晶層LQの液晶材料を含む複数の表示画素PXにより構成され、スタティックメモリ部MRがこれら表示画素PXの各々に対して設けられる。図2に示すように、画素電極PEはこの信号線X上の表示信号Vpixを画素スイッチとして選択的に出力する薄膜トランジスタQsigに接続され、さらに例えば対向電極CEのコモン電位Vcomに等しい電位に設定される補助容量線に容量結合する。画素電極PEおよび対向電極CEは液晶材料を介して液晶容量LCを構成し、画素電極PEおよび補助容量線は液晶材料を介さず液晶容量LCに並列的な補助容量Csigを構成する。

【0024】薄膜トランジスタQsigは走査線Yからの走査信号によって駆動されたときに信号線X上の表示信号Vpixを表示画素PXに印加する。補助容量Csigは液晶容量LCに比べて十分大きな容量値を有し、表示画素PXに印加された表示信号Vpixにより充放電される。補助容量Csigがこの充放電により表示信号Vpixを保持すると、この表示信号Vpixは薄膜トランジスタQsigが非導通となったときに液晶容量LCに保持された電位の変動を補償し、これにより画素電極PEおよび対向電極CE間の電位差が維持される。

【0025】さらに、スタティックメモリ部MRはPチャネル薄膜トランジスタQ1、Q3、Q5およびNチャネル薄膜トランジスタQ2、Q4、Q6、Q7を有する。薄膜トランジスタQ1、Q2、Q3、Q4はフリップフロップ回路を構成し、薄膜トランジスタQ5は分離回路を構成し、薄膜トランジスタQ6およびQ7は極性制御回路を構成する。フリップフロップ回路において、薄膜トランジスタQ1、Q2は電源端子Vdd(=5V)および電源端子Gnd(=0V)間の電源電圧で動作する第1インバータ回路INV1を構成し、薄膜トランジスタQ3、Q4は電源端子Vdd、Gnd間の電源電圧で動作する第2インバータINV2を構成する。インバータ回路INV1の出力端は走査線Yを介して制御される薄膜トランジスタQ5を介してインバータ回路INV2の出力端に接続され、インバータ回路INV2の出力端はインバータ回路INV1の入力端に接続される。Pチャネル薄膜トランジスタQ5は、Nチャネル薄膜トランジスタQsigが走査線Yからの走査信号の立ち上がりにより導通するフレーム期間において導通せず、このフレームの次のフレーム期間において導通する。これにより、少なくとも薄膜トランジスタQsigが表示信号を取り込むまで、薄膜トランジスタQ5は非導通状態に維持される。

【0026】Nチャネル薄膜トランジスタQ6、Q7

6

は、静止画表示モードにおいて例えば1フレーム毎に交互に高レベルに設定される極性制御信号POL1およびPOL2によりそれぞれ制御される。薄膜トランジスタQ6は画素電極PEとインバータ回路INV2の入力端並びに薄膜トランジスタQ5を介してインバータ回路INV1の出力端との間に接続され、薄膜トランジスタQ7は画素電極PEとインバータ回路INV1の入力端並びにインバータ回路INV2の出力端との間に接続される。

【0027】この液晶表示装置は、各々列方向において隣接する2個の表示画素PX間にリセットスイッチとして配置される複数のNチャネル薄膜トランジスタQrstを有する。各薄膜トランジスタQrstは2個の対応表示画素PXの画素電極PE間に接続され、液晶コントローラ2から共通配線RSTを介して供給されるリセット信号により制御される。これら薄膜トランジスタQrstは静止画用表示信号の取り込み前に逆極性で駆動された液晶表示画素PX間で蓄積電荷を分配することにより、これら液晶表示画素PXの画素電位をショートさせることにより平均化するリセット回路を構成する。

【0028】まず、図3を参照してリセットスイッチを省略した場合の液晶表示装置の動作を示す。

【0029】通常モードでは、液晶コントローラ2が極性制御信号POL1およびPOL2を低レベルに維持する一方で、走査線駆動回路3が走査信号を1フレーム期間毎に順次複数の走査線Y(Y1からYm)に供給する。各走査線Yは走査信号により1水平走査期間(1H)だけ高レベルに維持される。信号線駆動回路4は各水平走査期間毎にレベル反転される1行分の表示信号Vpixをそれぞれ複数の信号線X(X1~Xn)に供給する。各表示画素PXの薄膜トランジスタQsigは対応走査線Yからの走査信号により導通し、対応信号線Xに供給された表示信号Vpixを取り込み画素電極PEに印加する。薄膜トランジスタQsigが1水平走査期間後に非導通となって、画素電極PEを電氣的なフローティング状態にすると、この表示信号Vpixは再び薄膜トランジスタQsigが導通するまで液晶容量LCおよび補助容量Csigによって保持される。この間、表示画素PXは対向電極CEと画素電極PE間の電位差に対応する光透過率に設定される。

【0030】静止画表示モードに移行する場合には、極性制御信号POL1が最初の1フレーム期間である静止画書込期間で高レベルに、POL2が低レベルに維持され、静止画用の表示信号Vpixがこのフレーム期間において1水平走査期間毎に信号線Xに供給される。これに続く静止画保持期間では、極性制御信号POL1およびPOL2がフリップフロップ回路の出力極性を反転させるために1フレーム期間毎に交互に高レベルに設定される。

【0031】極性制御信号POL1が上述のように静止

(5)

7

画表示モードの静止画書き込み期間に相当する第1フレーム期間において高レベルに維持されると、2値の静止画情報に対応する表示信号 V_{pix} が薄膜トランジスタ Q_{sig} を介して画素電極 P_E に印加されると共に、薄膜トランジスタ Q_6 を介してフリップフロップ回路に供給される。静止画保持期間で例えば極性制御信号 POL_1 が低レベル、 POL_2 が高レベルになると、この表示信号 V_{pix} はインバータ回路 INV_2 によってレベル反転され表示信号 $VRAM_2$ として薄膜トランジスタ Q_7 を介して画素電極 P_E に印加される。

【0032】ここで、静止画表示モードの静止画書き込み期間の動作についてさらに説明する。通常モードの最後のフレーム期間において、第1行目から第4行目までの表示画素 P_X の画素電位 VP_1 、 VP_2 、 VP_3 、 VP_4 がライン反転駆動で同じ明るさとなるようにそれぞれ5V、0V、5V、0Vに設定されていて、さらに静止画用の表示信号 V_{pix} が例えば第4走査線 Y_4 が駆動される水平走査期間だけ5Vに設定され、それ以外で0Vに設定されると仮定する。この場合、画素電位 VP_1 は静止画書き込み期間において5Vから0Vに遷移し、画素電位 VP_2 は静止画書き込み期間において0Vのまま遷移しない。他方、画素電位 VP_3 は5Vから0Vに遷移し、画素電位 VP_4 は0Vから5Vに遷移する。

【0033】図4はリセットスイッチを設けた場合の液晶表示装置の動作を示す。リセット信号はこの静止画書き込み期間の最初の垂直ブランキング期間、すなわち走査線 Y_1 が最初に立ち上がる前に高レベルに設定され、全ての薄膜トランジスタ Q_{rst} を一時的に導通させる。これにより、1行目の画素電位 VP_1 と2行目の画素電位 VP_2 とが5Vと0Vとの中間値である2.5Vに設定され、3行目の画素電位 VP_3 と4行目の画素電位 VP_4 も5Vと0Vとの中間値である2.5Vに設定される。

【0034】この後、静止画書き込み期間において走査線 Y_1 から Y_4 が走査信号により順次立ち上がると、画素電位 VP_1 は2.5Vから0Vに遷移し、画素電位 VP_2 は2.5Vから0Vに遷移する。画素電位 VP_2 は1行目の画素電極 P_E からの電荷の流入により上昇するもので、これによって電力が無駄に消費されることはない。他方、画素電位 VP_3 は2.5Vから0Vに遷移し、画素電位 VP_5 は2.5Vから5Vに遷移する。ここで、画素電位 VP_4 は3行目の画素電極 P_E からの電荷の流入により予め2.5Vに設定されているため、0Vから5Vまで遷移する場合よりも電力消費が少なくなる。すなわち、隣接表示画素 P_X に保持される電荷を有効に利用して静止画を保持するときに消費される電力を低減する。

【0035】なお、この場合、極性制御信号 POL_1 (POL_2)は、不所望な充放電を防止するためにリセット信号の立ち下がりをもって高レベルに設定されるよ

8

う制御することが望ましい。

【0036】本実施形態の液晶表示装置では、各薄膜トランジスタ Q_{rst} が静止画用表示信号の取り込み前に逆極性で駆動される液晶表示画素 P_X 間で蓄積電荷を分配することにより、これら液晶表示画素 P_X の画素電位を逆極性となる隣接画素間で平均化する。すなわち、静止画用表示信号に対応して5Vレベルに設定される液晶表示画素 P_X については、この電位の平均化によって予め設定された2.5Vという中間値から画素電位を遷移し始めることができるため、常にこの中間値を通過して5Vに画素電位を遷移させる必要のある従来の構成よりも電力損失を低減することができる。

【0037】図5は図2に示す回路構成の第1変形例を示す。この変形例では、複数のNチャネル薄膜トランジスタ Q_{rst} の各々が列方向において隣接する2個の表示画素 P_X 間にリセットスイッチとして配置される。このような配置は、通常モードで行方向に隣接する表示画素が逆極性で駆動される場合に用いられる。各薄膜トランジスタ Q_{rst} は列方向に隣接する2個の対応表示画素 P_X の画素電極 P_E 間に接続され、液晶コントローラ2から共通配線 RST を介して供給されるリセット信号により制御される。これら薄膜トランジスタ Q_{rst} は上述の実施形態と同様に静止画用表示信号の取り込み前に逆極性で駆動された液晶表示画素 P_X 間で蓄積電荷を分配することにより、これら液晶表示画素 P_X の画素電位をショートさせることにより平均化するリセット回路を構成する。

【0038】図6は図2に示す回路構成の第2変形例を示す。この変形例では、複数のNチャネル薄膜トランジスタ Q_{rst} の各々が図2と同様に列方向において隣接する2個の表示画素 P_X 間にリセットスイッチとして配置されるが、このリセットスイッチのゲートはこれら2個の表示画素 P_X に割り当てられる走査線 Y_i 、 Y_{i+1} よりも少なくとも1水平走査期間先行して走査信号を受け取る走査線 Y_{i-1} に接続される。この場合、走査信号をリセット信号として利用できるため、液晶コントローラ2がリセット信号を発生する必要がなくなる。即ち、自表示画素の書き込みよりも前に自表示画素は隣接する表示画素と電氣的に短絡され、その電位が平均化されるため、上記実施形態と同様に一層の低消費電力化が可能となる。

【0039】図7は図2に示す回路構成の第2変形例を示す。この変形例では、複数のNチャネル薄膜トランジスタ Q_{rst} の各々が図5と同様に行方向において隣接する2個の表示画素 P_X 間にリセットスイッチとして配置されるが、このリセットスイッチのゲートはこれら2個の表示画素 P_X に割り当てられる共通の走査線 Y_i よりも少なくとも1水平走査期間先行して走査信号を受け取る走査線 Y_{i-1} に接続される。この場合も、走査信号をリセット信号として利用できるため、前変形例と同

(6)

9

様に液晶コントローラ2がリセット信号を発生する必要がなくなる。

【0040】尚、本発明は上述の実施形態に限定されず、その要旨を逸脱しない範囲で様々に変形可能であり、液晶表示装置の他にも有機EL表示装置等にも適用可能である。また、メモリとしてSRAMを用いた場合を示したが、DRAM等で構成してもかまわない。

【0041】

【発明の効果】以上のように本発明によれば、表示モードの移行に際して生じる電力損失を低減することができる表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る液晶表示装置の概略的な構造を示す図である。

【図2】図1に示す表示領域の回路構成を示す図である。

【図3】図2に示すリセットスイッチを省略した場合の液晶表示装置の動作波形を示すタイムチャートである。

10

【図4】図2に示すリセットスイッチを設けた場合の液晶表示装置の動作波形を示すタイムチャートである。

【図5】図2に示す回路構成の第1変形例を示す図である。

【図6】図2に示す回路構成の第2変形例を示す図である。

【図7】図2に示す回路構成の第3変形例を示す図である。

【符号の説明】

X…信号線

Y…走査線

PX…液晶表示画素

Qsig…画素スイッチ用薄膜トランジスタ

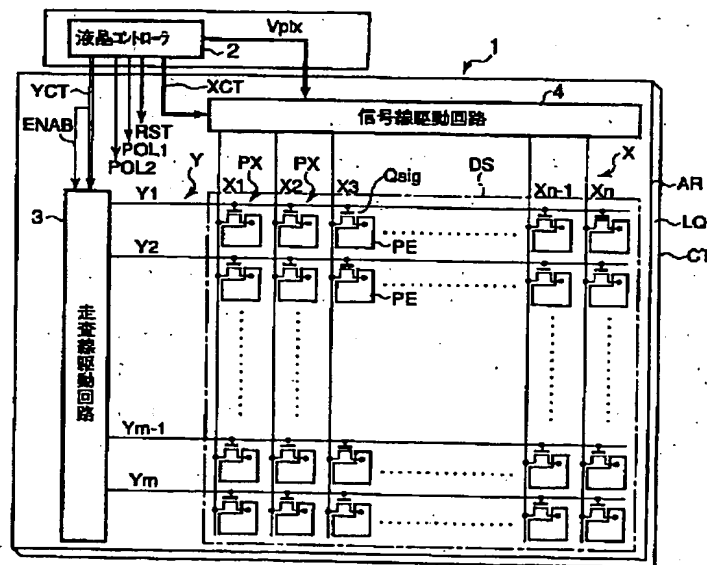
Csig…補助容量

Qrst…リセットスイッチ用薄膜トランジスタ

MR…スタティックメモリ部

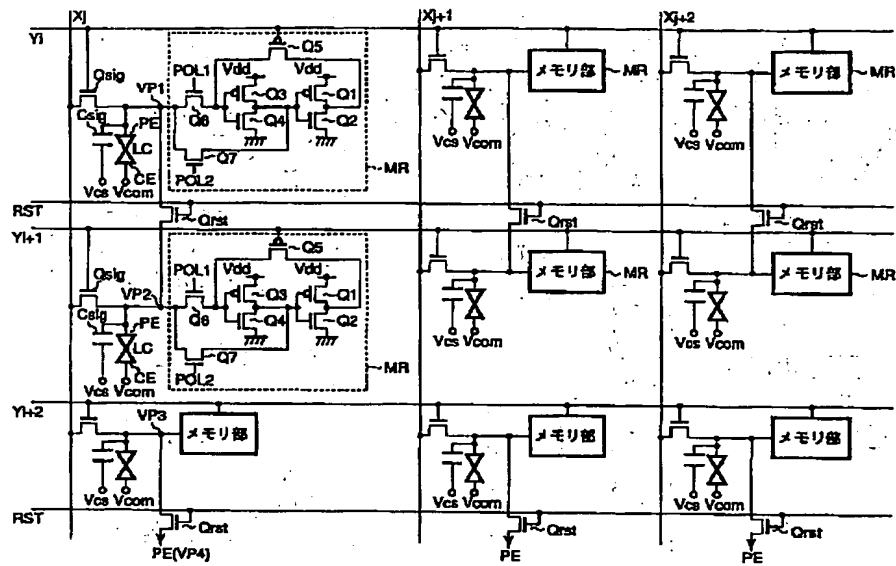
LC…液晶容量

【図1】

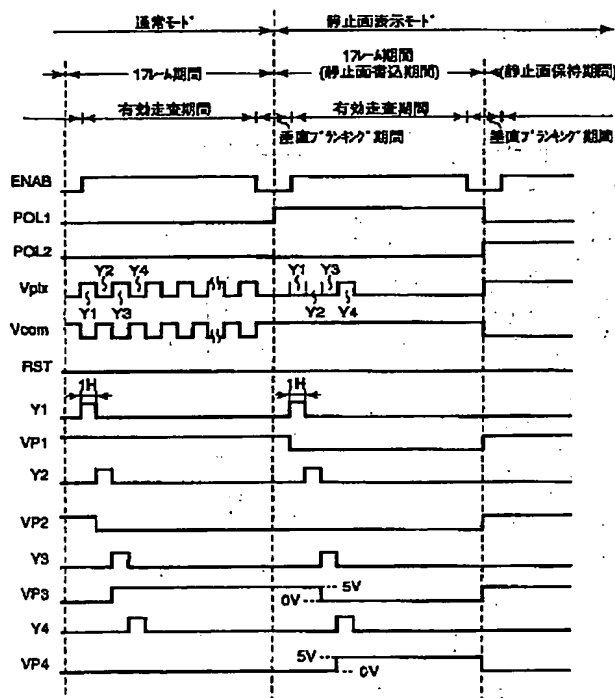


(7)

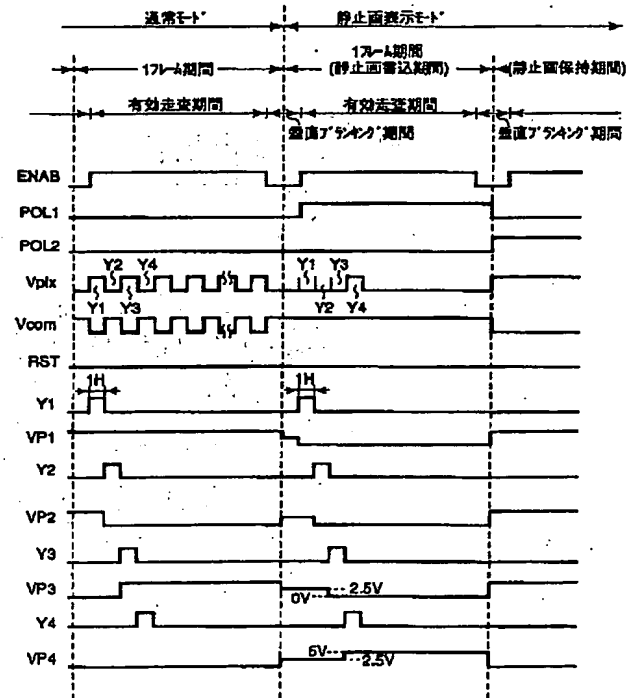
【図2】



【図3】

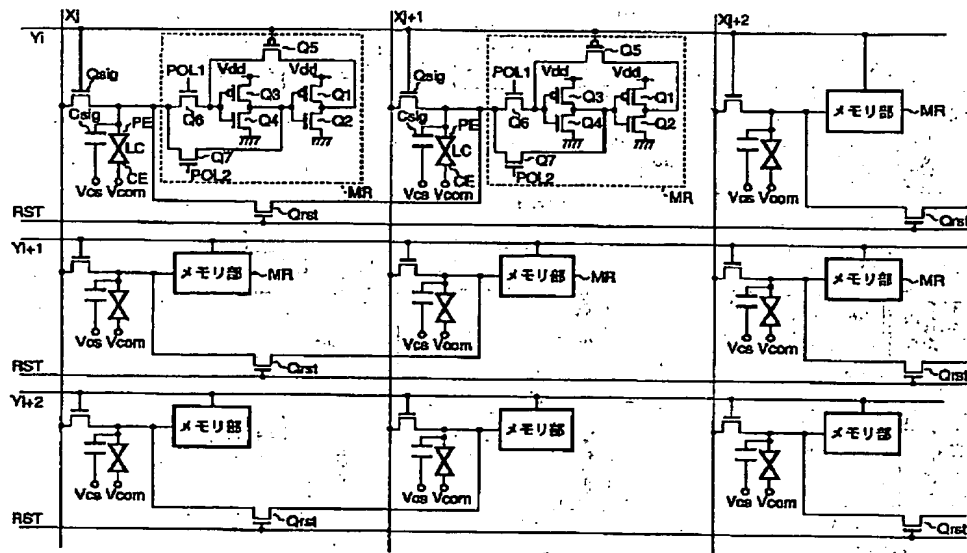


【図4】

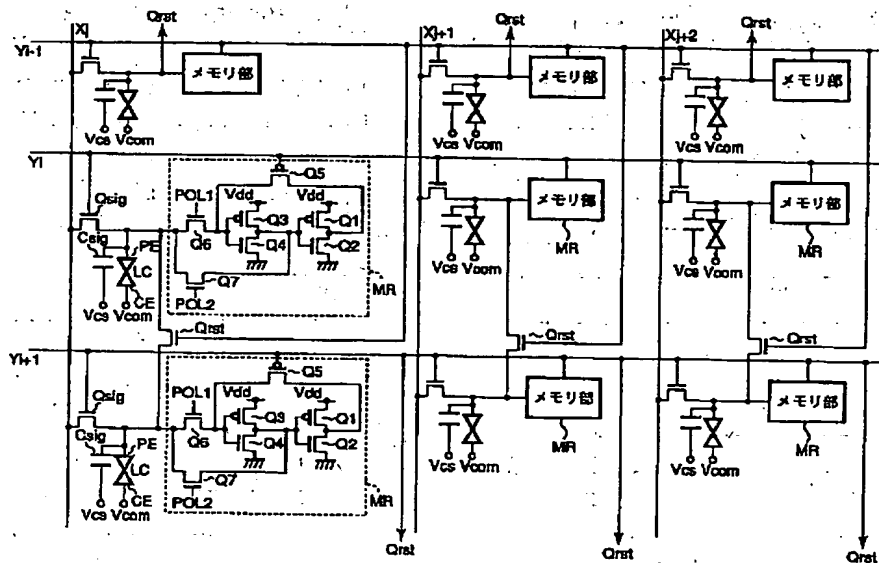


(8)

【図5】

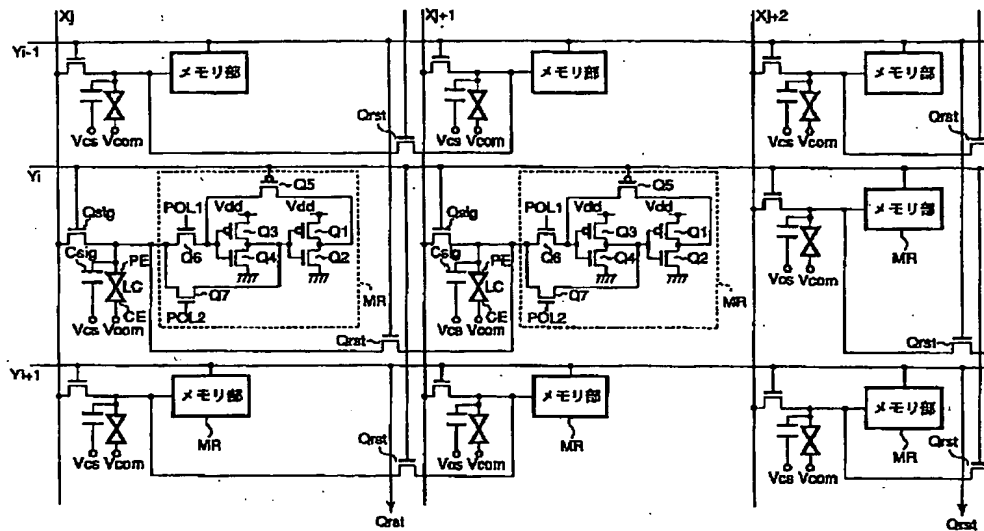


【図6】



(9)

【図 7】



フロントページの続き

(51) Int. Cl. 7

G 0 9 G 3/20

識別記号

6 2 4

6 3 1

6 6 0

F I

G 0 9 G 3/20

テーマコード* (参考)

6 2 4 B

6 3 1 H

6 6 0 U

F ターム (参考) 2H093 NA01 NA32 NA33 NA34 NC15

NC28 NC90 ND39

5C006 AA02 BB16 BC03 BC06 BC11

BC20 BF27 FA34 FA47

5C080 AA10 BB05 DD26 DD29 EE17

FF11 JJ02 JJ03 JJ04